

НОВЫЕ РАДИОЭЛЕКТРОННЫЕ СИСТЕМЫ И ЭЛЕМЕНТЫ

УДК 621.3.011.74

СИНТЕЗ ПОСЛЕДОВАТЕЛЬНО-ПАРАЛЛЕЛЬНОГО ПРЕОБРАЗОВАТЕЛЯ НА ОСНОВЕ НОРМАЛЬНО ОТКРЫТЫХ ПОЛЕВЫХ GaAs-ТРАНЗИСТОРОВ С ИСПОЛЬЗОВАНИЕМ ЭВОЛЮЦИОННЫХ АЛГОРИТМОВ

© 2024 г. Д. В. Билевич^а, А. С. Сальников^{а, *}, А. Е. Горяинов^а, И. М. Добуш^а,
А. А. Калентьев^а, А. А. Попов^а

^аТомский государственный университет систем управления и радиоэлектроники,
пр. Ленина, 40, Томск, 634050 Российская Федерация

*E-mail: andrei.salnikov@main.tusur.ru

Поступила в редакцию 26.09.2023 г.

После доработки 22.11.2023 г.

Принята к публикации 23.11.2023 г.

Представлена новая методика синтеза схемного решения последовательно-параллельного преобразователя на основе 0.25 мкм GaAs pHEMT технологии с возможностью изготавливать только нормально открытые транзисторы. Показана применимость эволюционных алгоритмов для решения задачи структурно-параметрического синтеза последовательно-параллельного драйвера управления. Получено решение, которое схоже по структуре с решением разработчика, но обладает меньшим потреблением, более высоким быстродействием и теоретически меньше по размерам по сравнению с ранее разработанным драйвером. Сравнение результатов измерений и моделирования подтверждает работоспособность полученной схемы. Работа алгоритма синтеза занимает до 12 часов.

Ключевые слова: драйвер управления, эволюционные алгоритмы, генетический алгоритм, СВЧ МФИС, последовательно-параллельный преобразователь

DOI: 10.31857/S0033849424050129, **EDN:** IKXFSJ

ВВЕДЕНИЕ

Беспроводные технологии, такие как интернет вещей, сети связи пятого поколения и др., с каждым годом вызывают все больший интерес. Это повышает спрос и ужесточает требования к многофункциональным интегральным схемам СВЧ-диапазона (СВЧ МФИС) [1]. Постоянный прогресс технологических процессов и необходимость быстрого выхода новых устройств на рынок сбыта требует от разработчиков микросхем в кратчайшие сроки предоставлять решения. Однако процесс проектирования СВЧ МФИС в целом и отдельных функциональных блоков в частности является длительным творческим процессом, в ходе которого инженер пробует множество решений [2]. Цель проектирования – получить лучшее решение по набору критериев. Решение, для которого ни один критерий не может быть улучшен без ухудшения остальных, называется парето-оптимальным. Для сложных задач парето-оптимальное решение не может быть получено вручную.

Для решения таких задач можно использовать эволюционные алгоритмы, которые оптимизируют решение по набору критериев одновременно.

Например, многокритериальные эволюционные алгоритмы позволяют решить задачу оптимизации фильтра низких частот, проводя поиск одновременно по 160 структурным параметрам и четырем основным характеристикам [3]. Этот же метод был применен для минитюаризации СВЧ-структур [4, 5]. Стандартные генетические алгоритмы (ГА) позволяют решить задачу синтеза СВЧ-структур на основе сегментов линий передачи за 30 мин [6]. В работе [7] показано, что при проектировании СВЧ-генератора многокритериальная оптимизация позволяет менее чем за 2 мин получить работоспособное решение. В работе [8] ГА применены для синтеза преобразователя ВЧ-сигнала в постоянный ток для системы беспроводной передачи энергии. Отмечается, что использование сверточной нейронной сети вместо электромагнитного моделирования позволило уменьшить время синтеза в десять раз. В работе [1] предложен новый метод дифференциальной эволюции с использованием машинного обучения для синтеза катушки индуктивности и трансформатора на основе КМОП-технологии. В работе [9] эволюционные вычисления были использованы для оптимизации малосигнальной модели транзистора после экстракции параметров.

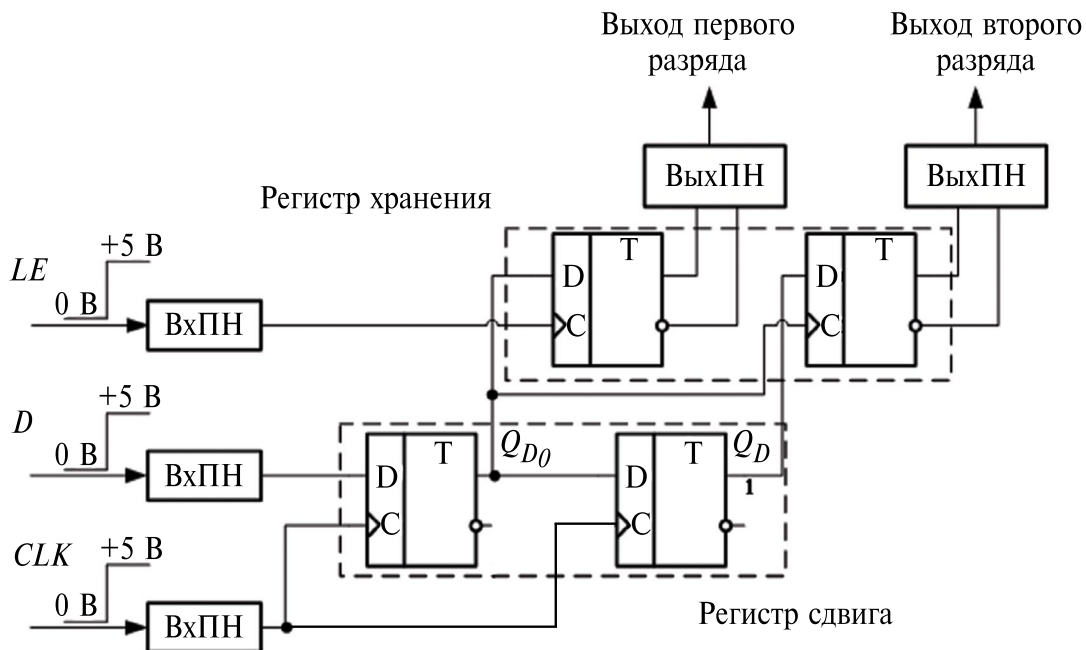


Рис. 1. Блок-схема цифрового драйвера управления.

В работе [10] описываются эволюционные алгоритмы с поддержкой суррогатных моделей, позволяющие провести глобальный поиск для решения задачи проектирования СВЧ-фильтров на основе линий передачи, в отличие от стандартных методов локальной оптимизации. В работе [11] описывается, как эволюционные вычисления позволяют решить задачу размещения большого количества чипов, входящих в состав антенных фазированных решеток. В работе [12] описан гибридный алгоритм на основе ГА и эволюционных стратегий для синтеза антенн. Использование гибридного метода позволяет устранить недостатки обоих методов.

Цифровой драйвер управления СВЧ GaAs МФИС зачастую интегрирован на кристалле и выполнен в виде последовательно-параллельного преобразователя [13–19]. Такой драйвер выполняет следующие функции: преобразование уровня сигнала транзисторно-транзисторной логики в GaAs-логику, преобразование последовательного цифрового кода в параллельный, формирование управляющих сигналов ключевых транзисторов секций управляемых компонентов (аттенюатор, фазовращатель или коммутатор). Для реализации цифровых GaAs-схем наиболее распространены типологических схем на основе полевых транзисторов с непосредственными связями. Однако если в технологии нет возможности изготовления нормально закрытых (НЗ) транзисторов, то сложность проектирования цифровых GaAs-схем значительно возрастает. Схемы с использованием только нормально открытых (НО) транзисторов имеют большое

количество возможных структур [19, 20] и большее число элементов, параметры которых нужно подбирать. Поэтому разработчику приходится искать решение по структуре и параметрам одновременно.

Цель данной работы – представить методику структурно-параметрического синтеза схемных решений последовательно-параллельного драйвера на основе нормально открытых GaAs гетероструктурных полевых транзисторов с использованием эволюционных вычислений, которая позволяет решить данную задачу.

1. МОРФОЛОГИЧЕСКИЙ АНАЛИЗ

Морфологический анализ позволяет определить пространство поиска, т.е. множество всех возможных вариантов синтезируемой схемы. Структуру последовательно-параллельного драйвера управления можно разбить на четыре функциональных блока (рис. 1): входной преобразователь напряжения (ВхПН), регистр сдвига (РС), регистр хранения (РХ) и выходной преобразователь напряжения (ВыхПН). Информационный сигнал поступает на вход D . По отрицательному фронту тактового сигнала (вход CLK) биты в регистре сдвига смещаются на 1 разряд. При каждом отрицательном фронте сигнала установки уровня LE происходит перенос разрядов в регистр хранения, который сохраняет состояние неизменным между этими событиями. Регистр сдвига во всех решениях реализуется на динамических триггерах [17, 21–23]. Регистр хранения может быть реализован как на динамических

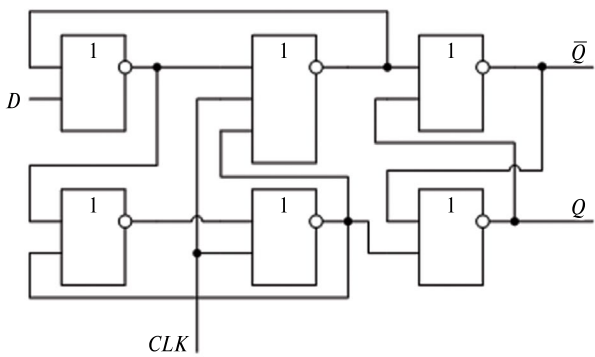


Рис. 2. Схема регистра сдвига на основе элементов ИЛИ-НЕ.

[17, 18], так и на статических триггерах [13, 24]. Динамический триггер обозначен на рис. 1 как *T* и имеет информационный вход *D*, тактовый вход *C*, а также выходы прямой и инверсный. В предлагаемом решении регистр сдвига и регистр хранения реализованы на динамических триггерах, чтобы уменьшить число синтезируемых элементов.

В качестве динамического триггера в работе использовано решение на шести элементах ИЛИ-НЕ [18, 23, 24], его структура показана на рис. 2. Для получения элемента ИЛИ-НЕ необходимо в инвертор добавить на вход параллельно еще один транзистор. Электрические характеристики элемента ИЛИ-НЕ и инвертора идентичны.

Таким образом, задача синтеза драйвера управления может быть сведена к синтезу решения трех блоков: инвертора, ВхПН и ВыхПН. После синтеза этих блоков, последовательно-параллельный драйвер произвольной разрядности можно получить по простому детерминированному алгоритму.

Базовыми элементами логических схем выбранного типа являются транзисторы, резисторы и диоды. В данной работе синтез и изготовление драйвера управления проводились на базе 0.25 мкм GaAs рНЕМТ технологии с возможностью изготавливать только НО-транзисторы. Важной особенностью выбранной технологии является возможность изготовления тонких пленок с высоким удельным сопротивлением и компактных резисторов высокого номинала на их основе. Граничные значения

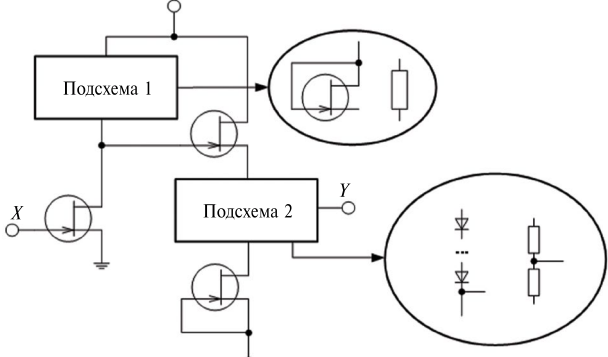


Рис. 3. Вариации реализации схемы инвертора.

параметров элементов определяются технологическими возможностями и были взяты из библиотеки элементов. Число вариантов элементов выбрано так, чтобы шаг изменения топологических параметров был равен 1 мкм. Источники питания в синтезируемых блоках представлены тремя значениями, которые используются в большинстве найденных в литературе драйверах управления. Все возможные состояния элементов и варианты источников питания представлены в табл. 1.

За основу инвертора была выбрана логическая схема на полевых транзисторах с использованием буферного каскада [16, 25]. Данный тип схем имеет самое высокое быстродействие и самую низкую площадь среди логических схем на основе исключительно НО-транзисторов [26, 27]. В литературе встречаются также варианты данной схемы, позволяющие уменьшить потребляемую мощность за счет использования резистора вместо нагрузочного транзистора [13] и резисторов с высоким удельным сопротивлением вместо диодов в подцепи понижения уровня [15]. Все возможные варианты структуры инвертора показаны на рис. 3.

Аналогично был проведен литературный обзор по возможным вариантам ВхПН и ВыхПН [19]. Результаты морфологического анализа показали, что существует 97.2 млн вариантов для структуры инвертора, 52.1 млн вариантов для структуры ВхПН и 148.7 млн вариантов для структуры ВыхПН. Такое количество возможных вариантов не позволяет решить задачу путем прямого перебора.

Таблица 1. Диапазон значений элементов

Варьируемый параметр	Диапазон значений	Количество вариантов
Номинал резистора, кОм	5.1...51	136
Ширина диода, мкм	7...35	29
Ширина затвора транзистора, мкм	8...35	28
Напряжение источника питания, В	[3, 3.3, 5]	3

2. ОПИСАНИЕ ГЕНЕТИЧЕСКОГО АЛГОРИТМА

Эволюционные алгоритмы – один из подходов искусственного интеллекта, в котором для решения задачи поиска имитируется биологическая эволюция. В эволюционных алгоритмах применяют комбинирование и вариацию искоемых параметров по случайному закону. Для оценки получаемых решений рассчитывается функция приспособленности (ФП), которая показывает, насколько

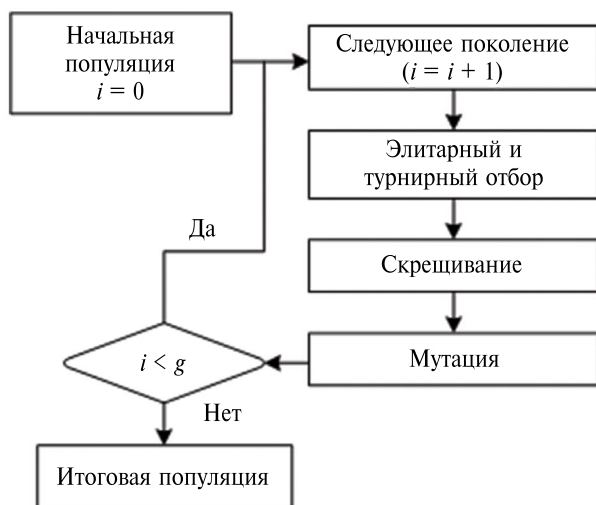


Рис. 4. Блок-схема генетического алгоритма.

полученное решение близко к целевому по набору параметров. В данной работе используется один из эволюционных алгоритмов – ГА (рис. 4).

Для отбора была выбрана комбинация элитарного и турнирного отбора. Элитарный отбор означает, что в следующее поколение передается некоторое число особей с большей приспособленностью, их доля определяется параметром k . Между остальными особями проводится турнирный отбор, при котором сравниваются два случайных решения, и то решение, которое имеет большую приспособленность, добавляется к уже отобранным особям. По результатам турнирного отбора формируется множество родителей для применения оператора скрещивания. Оператор скрещивания случайным образом выбирает два решения и проводит обмен генами, выбранными также случайным образом. В скрещивании каждое решение может участвовать лишь один раз. С некоторой вероятностью в каждом решении возможна мутация, при которой в случайно выбранных генах значение изменяется на случайную величину. Приведем параметры ГА: размер популяции $n = 300$, доля элитарных особей $k = 0.01$, вероятность скрещивания $c = 30\%$, вероятность мутации $m = 10\%$, количество поколений $g = 30$.

Для оценки решения используется ФП на основе характеристик на постоянном и переменном токе, которые получены моделированием в коммерческой системе автоматизированного проектирования (САПР) через интерфейс программирования приложения. На основе смоделированных характеристик рассчитываются критерии для синтеза. Некоторые критерии (площадь, потребление мощности, уровни логических символов) рассчитываются для каждого блока, а некоторые (разница напряжения между логическими символами, запас помехоустойчивости и быстродействие для инвертора, точка переключения между логическими

Таблица 2. Сравнение характеристик цифрового драйвера управления

Характеристика	Синтез	Разработчик
Потребление инвертора, мВт	1.17	2.47
Временная задержка инвертора, пс	240	176
Площадь инвертора, мкм ²	13538	10492
Логические уровни ВхПН, В	–2.5/–0.02	–2.5/0
Логические уровни РС, В	–1.96/0	–1.96/0
Логические уровни ВыхПН, В	–3.6/–0.12	–3.6/–0.06

Примечание: через косую дробь показаны напряжения логического нуля и единицы.

символами для ВхПН) – только в определенных блоках. Штрафная функция определяет, как влияет на ФП отклонение конкретной характеристики от целевого значения. ФП объединяет значения штрафов разных критериев в одно значение.

Работа ГА одинакова для всех синтезируемых схем, но есть различия в количестве генов, способах кодирования хромосом и наборах критериев для расчета ФП.

2.1. Первый вариант функции приспособленности

Первый вариант ФП F рассчитывался по формуле среднеквадратичной ошибки

$$F = \sqrt{\frac{\sum_{i=1}^n (f_i(x_i))^2}{n}}, \quad (1)$$

$$f_i(x_i) = x_i - x_i^H, \quad (2)$$

где x_i , x_i^H – текущее и целевое значения для i -го критерия поиска соответственно, n – количество критериев поиска.

Расчет характеристик проверяемого решения занимает от 3 до 5 с. В среднем 70% этого времени занимает расчет во временной области. При работе ГА иногда появляются одинаковые особи. Для уменьшения времени синтеза был реализован поиск одинаковых решений и назначение им одинакового значения ФП.

2.2. Решение разработчика

Одновременно с синтезом разработчиком был спроектирован драйвер управления вручную (без синтеза). Сравнение характеристик спроектированного разработчиком и синтезированного цифровых драйверов управления представлено в табл. 2.

Таблица 3. Сравнение значений функции приспособленности для каждого блока

Решение	Инвертор	ВхПН	ВыхПН
Первый вариант	0.167	0.151	0.412
Разработчик	0.138	0.15	0.399
Второй вариант	0.116	0.101	0.27

Таблица 4. Сравнение значений штрафа для различных критериев для схемы инвертора

Решение	Потребляемая мощность	Площадь	Задержка распространения
Первый вариант	0.195	0.54	0.252
Разработчик	0.408	0.321	0.166
Второй вариант	0.353	0.258	0.114

При синтезе с первым вариантом ФП было найдено решение, которое выигрывало по потреблению у решения разработчика, но проигрывало по быстродействию и занимаемой площади. Также выходной преобразователь напряжения выдавал недостаточное отпирающее напряжение, что могло привести к большим потерям в секция управляемых компонентов.

2.3. Второй вариант функции приспособленности

Чтобы получать более сбалансированные по параметрам решения, ФП была модифицирована следующим образом:

- 1) добавлена оценка занимаемой площади как критерий поиска;
- 2) добавлено быстродействие инвертора как критерий поиска;
- 3) использована ступенчатая штрафная функция;
- 4) ФП изменена на среднее арифметическое.

Чтобы учесть площадь при синтезе, необходим способ ее быстрой оценки. Простая сумма площадей составных элементов будет не точна, так как при размещении и трассировке топологии необходимо соблюдать проектные нормы. Анализ ранее разработанных схем позволил определить следующие соотношения. Тонкопленочные резисторы с большим сопротивлением изготавливаются в виде меандров для лучшей компоновки, его площадь рассчитывается как площадь «прямого» резистора, умноженная на 1.7. Площадь блоков больше суммы площади их элементов также в 1.7 раза, а площадь драйвера в 1.7 раз больше, чем сумма площадей блоков. Данные соотношения эмпирические и применимы только для рассматриваемой технологии.

Для расчета быстродействия инвертора была использована схема кольцевого генератора. Если характеристики на постоянном токе или по занимаемой площади были слишком далеки от целевых значения, то к ФП добавлялся штраф без запуска моделирования во временной области. Это позволило уменьшить общее время синтеза.

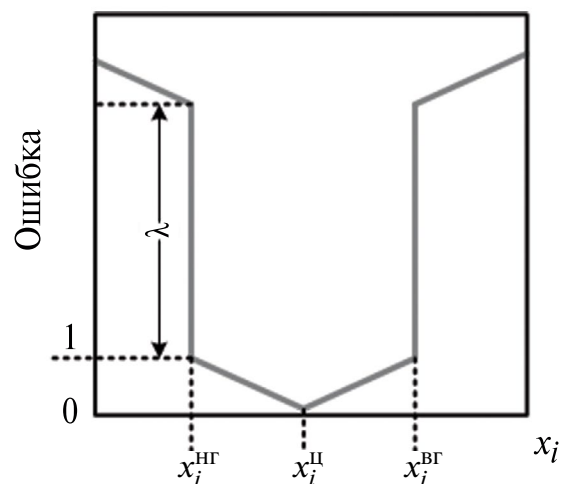
Для нормировки критериев использовалась линейная функция, где нулевое значение штрафной функции соответствует целевому значению критерия, а единичное значение — максимально допустимому значению критерия. Значения за пределами диапазона приводят к неработоспособным решениям, поэтому превышение значения граничных условий добавляет значение λ к штрафной функции (подобный подход использован в работе [28]).

Штрафная функция рассчитывается по следующему выражению:

$$f_i(x_i) = \begin{cases} \left(\frac{1}{x_i^{\text{БГ}} - x_i^{\text{НГ}}} \right) * |x_i - x_i^{\text{НГ}}|, & x_i^{\text{НГ}} < x_i < x_i^{\text{БГ}} \\ \left(\frac{1}{x_i^{\text{НГ}} - x_i^{\text{НГ}}} \right) * |x_i - x_i^{\text{НГ}}| + \lambda, & x_i^{\text{НГ}} > x_i \vee x_i > x_i^{\text{БГ}} \end{cases} \quad (3)$$

где $x_i^{\text{БГ}}, x_i^{\text{НГ}}$ — верхняя и нижняя границы для i -го критерия поиска соответственно (рис. 5). ФП была заменена на среднее арифметическое

$$F = \frac{\sum_{i=1}^n (f_i(x_i))}{n}. \quad (4)$$

**Рис. 5.** График штрафной функции.

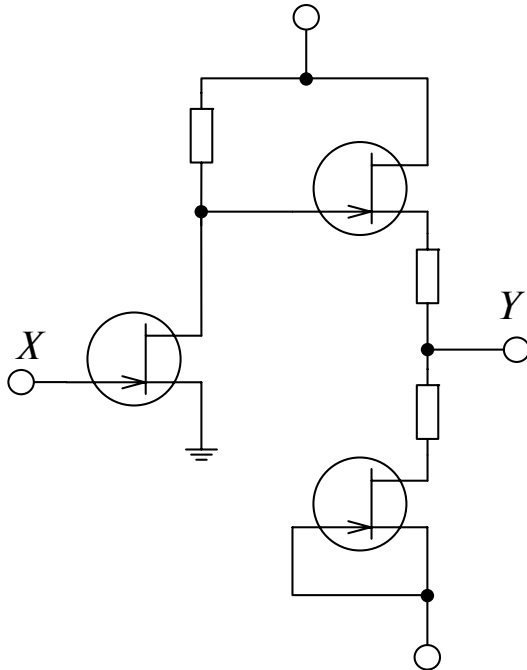


Рис. 6. Полученная принципиальная схема инвертора.

Применение подобных функций встречается в задачах машинного обучения [29, 30]. Эксперименты также показали улучшение сходимости алгоритма при использовании нового вида ФП.

Второй вариант ФП позволил синтезировать решение, которое выигрывает по всем ключевым

параметрам (потребляемая мощность, быстродействие и занимаемая площадь) у решения разработчика и ранее синтезированного решения. Важно отметить, что принципиальные схемы, полученные синтезом и разработчиком одинаковы (рис. 6), однако отличаются номиналы элементов. Насколько известно авторам, данная схема инвертора является новой и в литературе не встречается. Сравнение ФП приведено в табл. 3 и 4. Время работы программы синтеза от запуска до получения готовых схемных решений занимает от 10 до 12 ч.

3. РЕЗУЛЬТАТЫ ИЗМЕРЕНИЙ

Был изготовлен ряд тестовых структур для проверки работоспособности драйвера управления на основе 0.25 мкм GaAs pHEMT-технологии. Для изготовления выбран вариант разработчика, который впоследствии был найден и синтезом, хотя его ФП была несколько ниже максимального найденного решения, при этом рассматриваемые решения имеют одинаковую принципиальную схему. На рис. 7 представлена микрофотография изготовленного бита драйвера вместе с секцией аттенюатора.

Измерения изготовленных тестовых структур проводили с помощью следующих приборов: генератор сигналов произвольной формы АКИП—3413/3, осциллограф Rohde&Schwarz RTM 2054 и параметрический анализатор Keysight B1500A. Генератор сигналов применяли для создания управляющего сигнала, осциллограф — для

Таблица 5. Сравнение результатов моделирования (М) и измерений (И) изготовленных тестовых схем

Схема	Напряжение логического нуля, В		Напряжение логической единицы, В		Общее потребление схемы, мА	
	М	И	М	И	М	И
ВхПН	−2.49	−2.56	0	−0.08	0.83	1.39
Инвертор	−1.95	−2.1	0	−0.08	0.54	0.527
ВыхПН	−3.57	−3.55	−0.03	0.17	0.87	1
Выход разряда драйвера	−3.54	−3.5	−0.08	0.15	7.6	9.9

Таблица 6. Сравнение аналогов с разработанной схемой

Тип транзисторов	Напряжение питания, В	Потребляемая мощность, мВт/бит	Площадь, мм	Разряды	Литература
НО/НЗ	2	23.25	1.3×1.1	8	[31]
НО/НЗ	5 / 1 / −5	46.1	1.8×0.8	9	[24]
НО/НЗ	−3.6 / −5	16.9	0.8×2.7	13	[14]
НО/НЗ	−3.3	43	0,35×1.82	18	[19]
НО	—	63.8	1.1×2.4	12	[15]
НО/НЗ	5 / −3	10.5	1.2×0.48	4	[22]
НО	3.3 / −3.3	700	—	—	[25]
НО/НЗ	5 / −5	2.6	3.5×1.12	27	[17]
НО	5 / −5	44.5	0.58×0.7	1	Данная работа

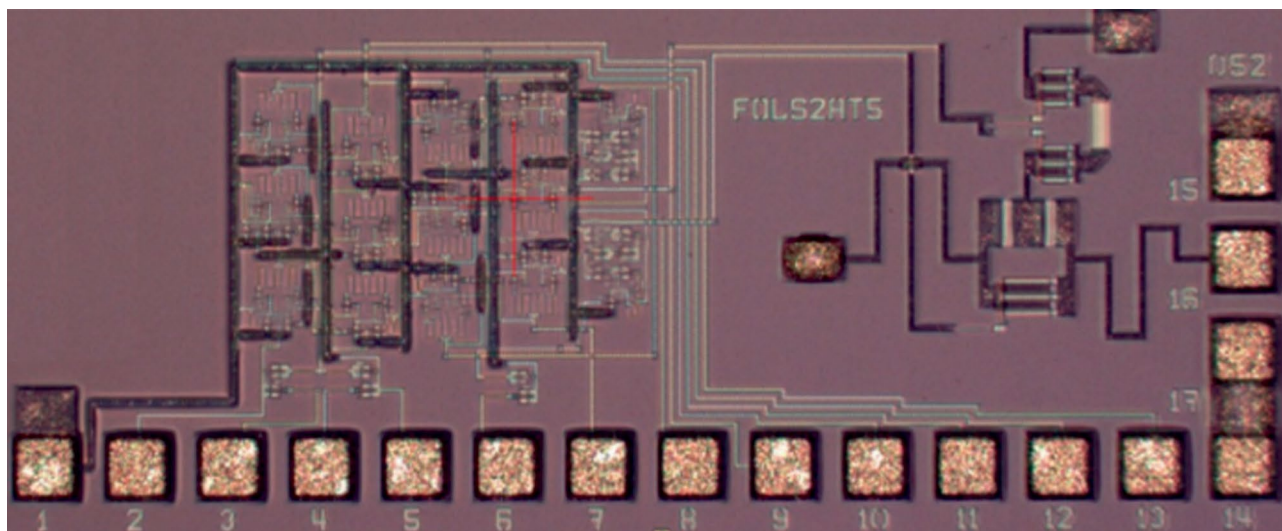


Рис. 7. Микрофотография изготовленного бита драйвера.

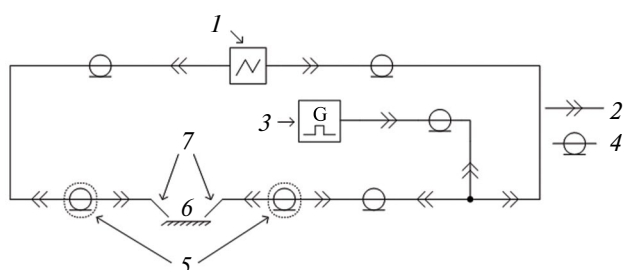


Рис. 8. Схема измерительной установки: 1 — осциллограф, 2 — коаксиальное соединение, 3 — генератор сигналов произвольной формы, 4 — коаксиальный кабель, 5 — триаксиальный кабель, 6 — кристалл, 7 — низкочастотный зонд.

измерения подаваемых и снимаемых сигналов, а анализатор — для обеспечения питания в схемах. В качестве контактирующего устройства использовали полуавтоматическую зондовую станцию Summit, набор позиционеров и низкочастотных зондов. Приборы соединяли коаксиальными кабелями (разъемы BNC), кроме того, использовались тройники, переходники коаксиальный—триаксиальный тракт. Пример измерительной установки показан на рис. 8.

Измерения показали наличие длительных фронтов нарастания и спада. Это обусловлено влиянием паразитной емкости измерительной установки, в первую очередь достаточно длинными соединительными кабелями. По оценке, паразитная емкость кабеля составила 190 пФ, данное значение ёмкости соотносится с аналогичными кабелями длиной около 2 м от компании Pasternack (<https://www.pasternack.com/bnc-male-mhv-male-rg58cu-cable-assembly-pe3741-p.aspx>). Модель кабеля была добавлена к цифровым схемам при сравнении результатов моделирования и измерений.

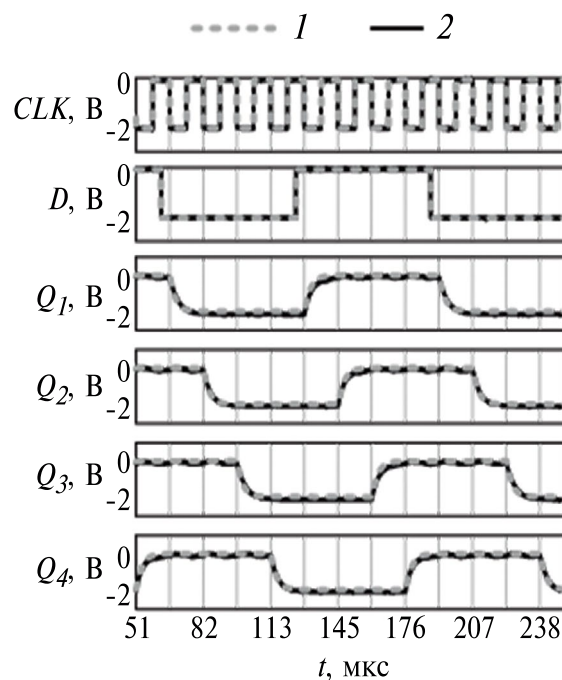


Рис. 9. Характеристики четырехразрядного регистра сдвига: 1 — моделирование; 2 — измерение.

На рис. 9 представлены характеристики четырехбитного регистра сдвига на тактовой частоте 64 кГц, на рис. 10 — характеристики бита драйвера на частоте 200 кГц. Максимальная частота работы изготовленного драйвера по результатам моделирования достигает 430 МГц.

Результаты моделирования и измерений довольно хорошо согласуются, что позволяет говорить о работоспособности изготовленных схем. Напряжение логических уровней на выходе всех

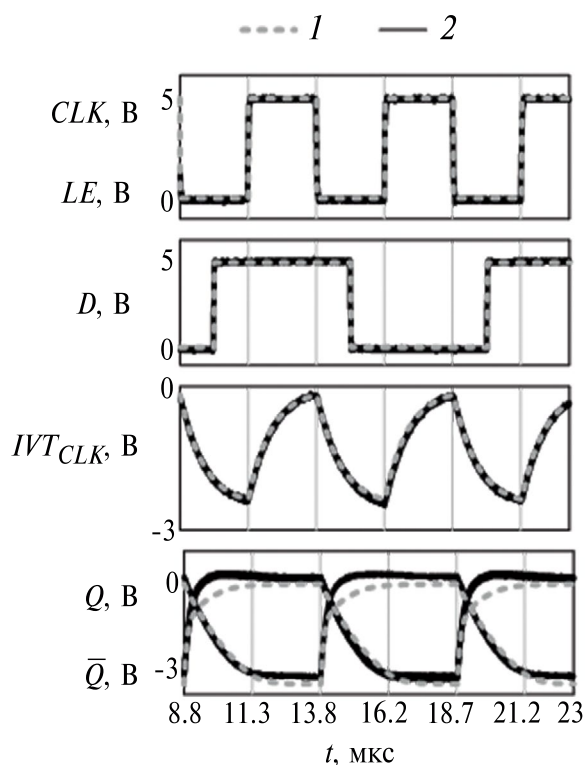


Рис. 10. Характеристики одного бита драйвера управления: 1 – моделирование; 2 – измерение.

синтезируемых блоков совпали с моделированием (табл. 5).

Измерения бита показали его работоспособность, а корректная работа регистра сдвига свидетельствует о возможности масштабирования. Для более точной оценки быстродействия необходимо уменьшать емкость измерительных кабелей. Общее потребление одного бита драйвера составило 49.5 мВт. Сравнение разработанного драйвера с аналогами представлено в табл. 6.

Сравнение показывает, что решения на основе НО- и НЗ-транзисторов значительно выигрывают по занимаемой площади и потребляемой мощности. Однако среди решений на основе НО-транзисторов разработанный драйвер уступает по занимаемой площади, но показывает наименьшую потребляемую мощность.

ЗАКЛЮЧЕНИЕ

В работе представлена методика синтеза последовательно-параллельных преобразователей для GaAs МФИС на основе эволюционных алгоритмов. Предложенная ФП позволила учесть при поиске решения потребляемую мощность, быстродействие и занимаемую площадь. В программе синтеза перебираются различные варианты схемы, используются сложные расчетные критерии и ускорение

поиска за счет отсева заранее неприемлемых решений, что отличает его от стандартных оптимизаторов в САПР. Результаты синтеза показывают улучшение основных характеристик по сравнению с решением разработчика, поэтому можно говорить о приближении к парето-оптимальному решению. Результаты измерений изготовленного последовательно-параллельного преобразователя на основе 0.25 мкм GaAs pHEMT технологического процесса подтверждают работоспособность полученного решения.

Авторы данной работы заявляют об отсутствии конфликта интересов.

ФИНАНСИРОВАНИЕ РАБОТЫ

Исследование выполнено за счет гранта Российского научного фонда № 19-79-10036.

СПИСОК ЛИТЕРАТУРЫ

1. Liu B., Zhao D., Reynaert P., Gielen G. G. E. // IEEE Trans. 2011. V. CDI-30. № 10. P. 1458. doi: 10.1109/TCAD.2011.2162067
2. Castejon F., Carmona E. J. // IEEE Access. 2020. V. 8. P. 137275. doi: 10.1109/ACCESS.2020.3011641
3. Ding D., Zhang X., Zhang J. et al. // Proc. 2019 Int. Conf. Microwave and Millimeter Technology (ICMMT). Guangzhou 19–22 May. N.Y.: IEEE, 2019. Paper No. 8992460. doi: 10.1109/ICMMT45702.2019.8992460
4. Koziel S., Bekasiewicz A. // IEEE Trans. 2016. V. MTT-64. № 8. P. 2454. doi: 10.1109/TMTT.2016.2583427
5. Koziel S., Bekasiewicz A., Kurgan P., Bandler J. W. // Proc. 2015 IEEE MTT-S Int. Microwave Symp. Phoenix. 17–22 May. N.Y.: IEEE, 2015. Paper No. 7166738. doi: 10.1109/MWSYM.2015.7166738
6. Nishino T., Itoh T. // IEEE Trans. 2022. V. MTT-50. № 9. P. 2048. doi: 10.1109/TMTT.2022.802314
7. Brito L. C., de Carvalho P. H. P. // Proc. 2003 SMBO/MTT-S Int. Microwave and Optoelectronics Conf. (IMOC). Foz do Iguacu. 23–20 Sept. N.Y.: IEEE, 2003. P. 135. doi: 10.1109/IMOC.2003.1244846
8. Akada T., Fujimori K. // Proc. EuMC. Utrecht. 12–14 January. N.Y.: IEEE, 2021. P. 61. doi: 10.23919/EuMC48046.2021.9337992
9. Majumder A., Chatterjee S., Chatterjee S. et al. // IEEE Microwave Wireless Components Lett. 2017. V. 27. № 4. P. 362. doi: 10.1109/LMWC.2017.2678437
10. Liu B., Yang H., Lancaster M. J. // IEEE Trans. 2017. V. MTT-65 № 6. P. 1976. doi: 10.1109/TMTT.2017.2661739

11. *Anselmi N., Poli L., Rocca P., Massa A.* // IEEE Trans. 2018. V. AP-66. № 12. P. 6906.
doi: 10.1109/TAP.2018.2874433
12. *Choi K., Jang D.-H., Kang S.-I. et al.* // IEEE Trans. 2016. V. MAG-52. № 3. P. 1.
doi: 10.1109/TMAG.2015.2486043
13. *Ramella C., Longhi P.E., Nasri A. et al.* // Proc. 2020 Int. Workshop on Integrated Nonlinear Microwave and Millimetre-Wave Circuits (INMMiC). Cardiff. 16–17 July. N.Y.: IEEE, 2020. Paper No. 9160147.
doi: 10.1109/INMMiC46721.2020.9160147
14. *Pirola M., Quaglia R., Ghione G. et al.* // Microelectronics J. 2014. V. 45. № 7. P. 864.
doi: 10.1016/j.mejo.2014.04.036
15. *Harris M., Gui P.* // Proc. 207 Texas Symp. on Wireless and Microwave Circuits and Systems (WMCS). Waco. 30–31 Mar. N.Y.: IEEE, 2017. Paper No. 8070676.
doi: 10.1109/WMCaS.2017.8070676
16. *Bentini A., Pasciuto B., Ciccognani W. et al.* // Int. J. Microwave Sci. Technol. 2011. V. 14. № 20. Article ID387137.
doi: 10.1155/2011/387137
17. *Zhou S., Zhou S., Zhang J. et al.* // Electronics. 2019. V. 8. № 4. Article No. 395.
doi: 10.3390/electronics8040395
18. *Jeong J.-C., Yom I.-B., Kim J.-D. et al.* // IEEE Trans. 2018. V. MTT-66. № 5. P. 2220.
DOI: 10.1109/TMTT.2017.2786698
19. *Ramella C., Estebsari M., Nasri A., Pirola M.* // Electronics. 2021. V. 10. № 23. Article No. 3029.
DOI: 10.3390/electronics10233029
20. *Билевич Д. В.* // Электрон. техника. Сер. 1. СВЧ-техника. 2021. V. 3. № 550. P. 26.
21. *Kim D., Yeom K.* // Microwave Opt. Technol. Lett. 2020. V. 62. № 6. P. 2289.
DOI: 10.1002/mop.32294
22. *Lee C.-D., Lee D., Yeom K.* // J. Korean Inst. Electromagn. Eng. Sci. 2018. V. 29. № 3. P. 171.
DOI: 10.5515/KJKIEES.2018.29.3.171
23. *Wang K., Wang Z., Wang G. et al.* // IEICE Electron. Express. 2017. V. 14. № 20. P. 1.
DOI: 10.1587/elex.14.20170924
24. *Lee H., Kim Y., Lee I. et al.* // Electronics. 2020. V. 9. № 8. Article No. 1327.
Doi: 10.3390/electronics9081327
25. *Stesev G., Budanov D., Balashov E. et al.* // Proc. 2020 IEEE Int. Conf. on Electrical Engineering and Photonics (EExPolyTech). St. Petersburg. 15–16 Oct. N.Y.: IEEE, 2020. P. 67.
doi: 10.1109/EExPolytech50912.2020.9243862
26. *Shur M.* GaAs Devices and Circuits. Boston: Springer US, 1987.
27. *Bilevich D., Salnikov S., Dobush I.* // Proc. 2022 Int. Siberian Conf. on Control and Communications (SIBCON). Tomsk. 17–19 Nov. N.Y.: IEEE, 2022. Paper No. 10002977. 1.
doi: 10.1109/SIBCON56144.2022.10002977
28. *Soto A. T., Ponce De León Sentí E. E., Aguirre A. H. et al.* // Computación y Sisemas. 2010. V. 13. № 4. P. 409.
29. *Rengasamy Di., Rothwell B., Figueredo G. P.* // Proc. 2020 Int. Joint Conf. on Neural Networks (IJCNN). Glasgow. 19–24 July. N.Y.: IEEE, 2020. Paper No. 9207051.
doi: 10.1109/IJCNN48605.2020.9207051
30. *Qi J., Du J., Siniscalchi S. M. et al.* // IEEE Trans. 2020. V. SP-68. P. 3411.
doi: 10.1109/TSP.2020.2993164
31. *Burrier R. A., Singh H. P., Sadler R. A. et al.* // Proc. 1990 IEEE Int. Symp. on Circuits and Systems. N.Y.: IEEE, 1990. V. 1. P. 587.
doi: 10.1109/ISCAS.1990.112129

SYNTHESIS OF A SERIAL-TO-PARALLEL CONVERTER BASED ON THE GaAs D-MODE PHEMT TECHNOLOGY USING THE EVOLUTIONARY ALGORITHMS

D. V. Bilevich^a, A. S. Salnikov^{a,*}, A. E. Goryainov^a, I. M. Dobush^a, A. A. Kalentyev^a, A. A. Popov^a

^a*Tomsk State University of Control Systems and Radioelectronics,
Lenina st., 70, Tomsk, 634050 Russia*

^{*}*E-mail: andrei.salnikov@main.tusur.ru*

Received September 26, 2023, revised November 22, 2023, accepted November, 23, 2023

A new approach to the synthesis of a serial-to-parallel converter (SPC) based on the 0.25 μm GaAs D-mode pHEMT process is presented. Evolutionary algorithms application to solve SPC synthesis problem is shown. Solution, that have same structure as designer solution but with less power consumption, propagation delay and theoretically less total area is obtained. Its operability has been proved by comparison between simulated and measured data. Synthesis process takes up to 12 hours.

Keyword: control drivers, evolutionary algorithm, genetic algorithm, core-chip, serial-to-parallel converter